PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-044888**
(43)Date of publication of application : **26.02.1991**

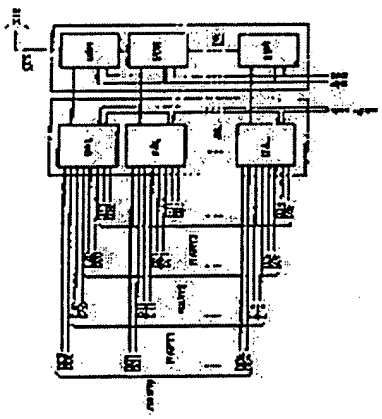
(51)Int.CI.
G11C 11/401
G06F 12/00
G06F 15/64
G09G 5/00
G09G 5/12
G10L 9/18
G11C 7/00
H01L 27/10

(21)Application number : **01-177904**
(22)Date of filing : **12.07.1989**

(71)Applicant : **HITACHI LTD**
(72)Inventor : **KOBAYASHI MITSUTERU**

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:
PURPOSE: To attain the multifunction and high-performance of a memory device by dividing a memory array in the extending direction of a data line, and providing an arithmetic circuit which performs the prescribed arithmetic processing on the plural memory data read out from a column address corresponding to the each memory array adjacently to the extension line.
CONSTITUTION: The memory arrays MARY0-MARY3 are divided in the extension direction of the data lines, and adjacently to the extension line, the operation circuits ALs which perform the prescribed operation processing on the plural memory data read out from the corresponding column address of the each memory array of MARY0-MARY3 are provided. And, for example, to the each memory array of MARY0-MARY3, the plural picture image data corresponding to the plural screens and the mask data, etc., previously to combine and partially delete these data are written in, simultaneously read out them and the various operation processings for the multidisplay of the screens and the image synthesis by window, etc., and the voice synthesis, etc., are performed. In such a manner, the data rate of the image processing system, etc., is restricted without disturbing the simplification, the multifunction and the high-performance are enhanced.



LEGAL STATUS
[Date of request for examination]
[Date of sending the examiner's decision of rejection]

BEST AVAILABLE COPY

AM2

Preliminary Notice of Rejection

Date of Service: August 7, 2001

Appeal Case No. H11-15025
Application No.: 135297/1995

This application under the appeal proceeding is to be rejected on the grounds as set forth below. A response to this Office Action should be made within **three** months from the date of service.

GROUND

The invention as claimed in the claims specified below is deemed to have been obvious to those skilled in the art from the following published document(s) made available prior to the effective filing date of this application and is, therefore, deemed unpatentable under Sec. 2 of Art. 29 of the Patent Law.

1-A. Case History

[Note: Translation omitted]

1-B. Invention

[Note: translation omitted. Here, the examiners acknowledge the status of claims in the instant application. Specifically, the claims in the instant application are Claims 1 to 38 as of the date of submission of the Japanese-language translation of the counterpart PCT application, i.e., the claims exactly identical with those in the counterpart PCT application.]

1-C. Disclosure of Cited References

Ref. 1: D. Mansharamani et al., "100Mpixel/sec. Single-Chip Integrated Graphics Controller", Proceedings of IEEE 1991, Custom Integrated Circuits Conference, p.16.5.1-16.5.4, 12-15 May 1991.

Ref. 2: "Nikkei Microdevice" the issue of August, Nikkei BP, 1993, p.70-75.

Ref. 3: JP Laid-open Patent Publication No. 6-36556 (published Feb. 10, '94)

Ref. 4: JP Laid-open Patent Publication No. 3-44888

Ref. 5: JP Laid-open Patent Publication No. 4-368692

Ref. 6: JP Laid-open Patent Publication No. 6-149225 (published May 27, '94)

1-C-1) Ref. 1:

Ref. 1 is cited for the first time during this appeal proceeding and discloses as follows:

[Note: Translation made on separate sheets entitled "Disclosures of References 1 & 2.]

1-C-2) Ref. 2:

Ref. 2 is identical with the reference numbered 7 in the Preliminary Notice of Rejection dated September 22, 1998 and discloses as follows:

[Note: Translation made on separate sheets entitled "Disclosures of References 1 & 2.]

1-C-3) Ref. 3:

Ref. 3 is identical with the reference numbered 8 in the Preliminary Notice of Rejection dated September 22, 1998 and discloses as follows:

"[0019] Fig. 1 is an conceptual diagram of a first embodiment of the present invention. As shown, data lines are drawn in a direction transverse to rows of sense amplifiers. By so doing, it is possible to drawn data from a single row of the sense amplifiers in a maximum number equal to the number of the sense amplifiers." (Lines 39 to 43 in column 3)

Also, Fig. 2 illustrates that the data lines DDL are arranged parallel to the bit lines BL and that the "read switch signal RS" for selecting the rows of the sense amplifiers is arranged parallel to the rows of the sense amplifiers

1-C-4) Ref. 4:

Ref. 4 is identical with the reference numbered 1 in the Preliminary Notice of Rejection dated September 22, 1998 and discloses as follows:

"A semiconductor storage device characterized by comprising a plurality of memory arrays divided in a direction conforming to substantial extension of data lines, and an arithmetic circuit including a plurality of unitary arithmetic circuits each provided for a column address of the memory

arrays and for performing a predetermined arithmetic operation on stored data of plural bits to be inputted or outputted with respect to the column address corresponding to the memory arrays." (Claim 1)

"[Field of the Invention] The present invention relates to a semiconductor storage device and relates, for example, to a technology useful for use in a serial memory or the like that is used as an image memory or the like of an image processing system." (Lines 8 to 12 in bottom right column on page 1)

"[Function] According to the foregoing means, for example, by writing and simultaneously reading in and from the memory arrays, the plural image data corresponding to a plurality of displays or the mask data or the like used for combining or partially erasing these image data, various arithmetic operations for a multiple image display on a window or the like, image collage and/or sound synthesis can be accomplished within the realm of the serial memory or the like." (lines 4 to 12 in bottom left column on page 2).

"On the other hand, an arithmetic circuit AL is, although not necessarily limited thereto, provided with, as shown in Fig. 1, n + 1 of unitary arithmetic circuits UAL employed in association with complemental data lines D00 to D0n or D30 to D3n of the memory arrays MARY0 to MARY3. Complemental arithmetic input terminals of four sets of the unitary arithmetic circuits are connected with the complemental data lines D00 to D30 or D0n to D3n corresponding respectively to the memory arrays MARY0 to MARY3, and output terminals thereof are coupled with the unitary circuits UDR corresponding to data registers DR. The unitary arithmetic circuits UAL of the arithmetic circuit AL are supplied the above described arithmetic mode signals am0 to amk from the arithmetic control circuit ALC.

"Each unitary arithmetic circuit UAL of the arithmetic circuit AL performs bit by bit a predetermined arithmetic operation, designated by the arithmetic mode signal am0 to amk, on read-out data outputted from n+1

memory cells, connected with the selected word lines of the memory arrays MARY0 to MARY3, through the corresponding complemental data lines D00 to D30 or D0n to D3n, and a result thereof is outputted to the unitary circuit UD corresponding to the data register DR. As described previously, the plural image data corresponding to the multiple displays and the mask data or the like for combining or partially erasing those image data are written in the memory arrays MARY0 to MAARY3. The unitary arithmetic circuits UAL of the arithmetic circuit AL performs the predetermined arithmetic operation on those data to form, for example, a multi-display image including windows and image data corresponding to synthesized images. Results of arithmetic operations performed respectively by the unitary arithmetic circuits UAL of the arithmetic circuit AL are captured in the unitary circuit UDR corresponding to the data register DR when the timing signal φtr becomes high in level and are shifted within the data register DR when the timing signal φsc is repeatedly formed, and are outputted through a serial input/output circuit SIO." (lines 18 in bottom left column on page 4 to line 14 in top left column on page 5)

1-C-5) Ref. 5:

Ref. 5 is identical with the reference numbered 19 in the Preliminary Notice of Rejection dated September 22, 1998 and discloses as follows:

"[0020] [Means for Solving the Problem] The semiconductor storage device according to the present invention comprises original memory cells for storage of data, original bit line pairs which are, during a reading, electrically connected with the selected memory cells so that a potential difference is produced between one and the other of the bit line pair based on contents stored in the memory cell, original sense amplifiers which are, during the reading, electrically connected with the bit line pairs so that the read data can be outputted therefrom by amplifying the potential difference in the bit line pair, original I/O line pairs electrically connected with the bit line pairs during the reading, original read-out paths including original amplifiers for

amplifying the potential differences in the I/O line pairs, monitoring memory cells each comprised of the same condition as a corresponding component of the original read-out path, monitoring bit lines, monitoring sense amplifiers, monitoring I/O lines and monitoring amplifiers, wherein there is provided a monitoring read-out path capable of performing an operation equivalent to that of the original read-out path, and a amplifier control means responsive to an amplified output of the monitoring amplifier to control an active state of the original amplifier." (lines 21 to 39 in column 4)

"[0035] Then, of the bit line pairs BL and bars BL precharged to the same potential, only the potential at the bit line BL connected with the memory cell 1 in which "0" is written is slightly lowered and a slight potential difference is produced between the bitline pair BL, bars BL so that the bit line bar BL can maintain the precharged potential. At the same time, of the monitoring bit line pairs BLM, bars BLM precharged to the same potential, only the potential of the monitoring bit line BLM connected with the memory cell 1 in which "0" is written is slightly lowered and a slight potential difference is produced between the bit line pair BLM, bars BLM so that the monitoring bit line bar BLM can maintain the precharged potential." (lines 23 to 34 in column 7)

1-C-6) Ref. 6:

Ref. 6 is cited for the first time during this appeal proceeding and discloses as follows:

"[0018] Referring to the drawings, a first display device according to an embodiment of the present invention includes a CPU 11 for controlling the display device, a system bus 12 for transferring data, an graphics engine 13, a frame memory 14 for storage of images, a display device 17 such as CRT, a video equipment 18 such as VTR, an image digitizer 22 for converting an analog video signal from the video equipment 18 into a digital motion picture video image, and a pixel bus 21 for transferring the image data. The pixel

(19)

(11) Publication number: 0

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **01177904**

(51) Intl. Cl.: **G11C 11/401** G06F 12/00 G(G09G 5/00 G09G 5/12 G10L 7/00 H01L 27/10

(22) Application date: **12.07.89**

(30) Priority:

(43) Date of application publication: **26.02.91**

(84) Designated contracting states:

(71) Applicant: **HITACHI LTD**

(72) Inventor: **KOBAYASHI MITSUTE**

(74) Representative:

(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

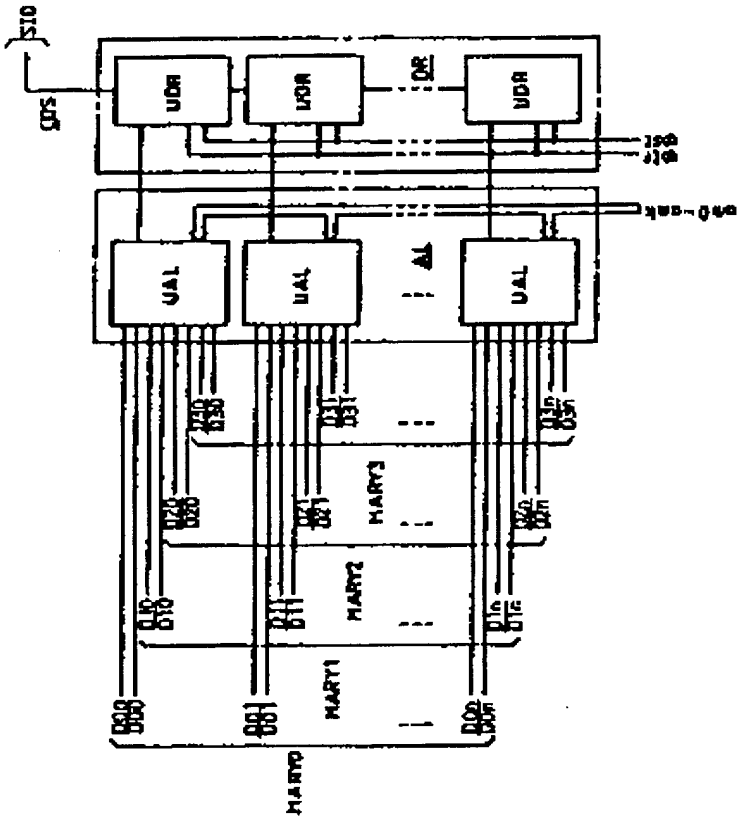
PURPOSE: To attain the multifunction and high-performance of a memory device by dividing a memory array in the extending direction of a data line, and providing an arithmetic circuit which performs the prescribed arithmetic processing on the plural memory data read out from a column address corresponding to the each memory array adjacently to the extension line.

CONSTITUTION: The memory arrays MARY0-MARY3 are divided in the extension direction of the data lines, and adjacently to the extension line, the operation circuits ALs which perform the prescribed operation processing on the plural memory data read out from the corresponding column address of the each memory array of MARY0-MARY3 are provided. And, for example, to the

AM2

each memory array of MARY0-MARY3, the plural picture image data corresponding to the plural screens and the mask data, etc., previously to combine and partially delete these data are written in, simultaneously read out them and the various operation processings for the multidisplay of the screens and the image synthesis by window, etc., and the voice synthesis, etc., are performed. In such a manner, the data rate of the image processing system, etc., is restricted without disturbing the simplification, the multifunction and the high-performance are enhanced.

COPYRIGHT: (C)1991,JPO&Japio



⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　平3-44888

⑤Int.Cl.⁵		識別記号		庁内整理番号
G 11 C	11/401			
G 06 F	12/00	5 8 1		8841-5B
	15/64	4 5 0	A	8419-5B
G 09 G	5/00		M	8121-5C
	5/12			8121-5C
G 10 L	9/18		Z	8622-5D
G 11 C	7/00	3 1 1	F	7131-5B
H 01 L	27/10	4 7 1		8624-5F
				8323-5B

⑬公開　平成3年(1991)2月26日

G 11 C 11/34　3 7 1 H

審査請求　未請求　請求項の数 3　(全8頁)

⑤④発明の名称　半導体記憶装置

⑳特　願　平1-177904

㉒出　願　平1(1989)7月12日

㉗発明者　小林　光輝　東京都青梅市今井2326番地　株式会社日立製作所デバイス開発センタ内

㉑出願人　株式会社日立製作所　東京都千代田区神田駿河台4丁目6番地

㉔代理人　弁理士　小川　勝男　外1名

明　細　書

1．発明の名称

半導体記憶装置

2．特許請求の範囲

1．実質的にデータ線の延長方向に分割されてなる複数のメモリアレイと、上記メモリアレイの各カラムアドレスに対応して設けられ上記複数のメモリアレイの対応するカラムアドレスに対して入力又は出力される複数ビットの記憶データに所定の演算処理を施す複数の単位演算回路を含む演算回路とを具備することを特徴とする半導体記憶装置。

2．上記半導体記憶装置は、シリアルメモリであって、さらに、それぞれのビットが上記演算回路の各単位演算回路に対応して設けられる直並列変換用のデータレジスタを具備するものであることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3．上記半導体記憶装置は、上記メモリアレイの指定されるアドレスに記憶データをランダムに入力又は出力するランダムアクセス機能を有するものであって、さらに、上記メモリアレイに対応して設けられる複数のロウアドレスデコーダ及びカラムスイッチを具備するものであることを特徴とする特許請求の範囲第1項又は第2項記載の半導体記憶装置。

3．発明の詳細な説明

(産業上の利用分野)

この発明は、半導体記憶装置に関し、例えば、画像処理システムの画像メモリ等に供されるシリアルメモリ等に利用して特に有効な技術に関するものである。

(従来の技術)

記憶データを例えばワード線単位で読み出し、これを所定のクロック信号に従ってシリアルに出力するシリアルメモリがある。また、これらのシリアルメモリを用いた画像処理システムや音声処理システムがある。

シリアルメモリは、メモリアレイからワード線単位でパラレルに出力される記憶データを、上記

クロック信号に従ってシリアルに出力する直並列変換用のデータレジスタを備える。

シリアルメモリについては、例えば、日経マグロウヒル社発行、１９８５年２月１１日付「日経エレクトロニクス」の第２１９頁～第２３９頁に記載されている。

〔発明が解決しようとする課題〕

画像処理システムや音声処理システムでは、例えばウィンドウ等による画面の多重表示や画像合成あるいは音声合成等において、一連の記憶データに対するビットごとの演算処理が必要となる場合がある。しかし、上記に記載されるような従来のシリアルメモリは、ワード線単位で読み出される記憶データに対するビットごとの演算処理機能を持たない。このため、上記演算処理を必要とする場合、例えば複数のシリアルメモリを設け、その外部に、これらのシリアルメモリからシリアルに出力される記憶データに所定の演算処理を施す演算回路を設ける方法が採られる。

ところが、上記の方法を採った場合、演算回路の演算速度によって、シリアルに伝達される記憶データのデータレートが制約されるとともに、画像処理システム又は音声処理システム等の簡素化が妨げられるという問題が生じる。

この発明の目的は、新しい機能を有するシリアルメモリ等を提供することにある。この発明の他の目的は、シリアルメモリ等を含む画像処理システムや音声処理システム等のデータレートを制約しその簡素化を妨げることなく、その多機能化ならびに高機能化を推進することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、画像処理システムや音声処理システム等に用いられるシリアルメモリ等のメモリアレイを、実質的にそのデータ線の延長方向に分割し、これらのメモリアレイに隣接して、各メモリアレイの対応するカラムアドレスから読み出される複数の記憶データに所定の演算処理を施す演算回路を設けるものである。

〔作　用〕

上記した手段によれば、例えば、各メモリアレイに、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等を予め書き込み、これを同時に読み出すことで、ウィンドウ等による画面の多重表示や画像合成ならびに音声合成等のための各種演算処理を、シリアルメモリ等の内部で実現できる。これにより、画像処理システムや音声処理システム等のデータレートを制約しその簡素化を妨げることなく、その多機能化ならびに高機能化を推進できる。

〔実施例〕

第２図には、この発明が適用されたシリアルメモリの一実施例のブロック図が示されている。また、第１図には、第２図のシリアルメモリに含まれる演算回路ＡＬ及びデータレジスタＤＲの一実施例のブロック図が示されている。これらの図をもとに、この実施例のシリアルメモリの構成と動作の概要ならびにその特徴について説明する。なお、第１図及び第２図の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような１個の半導体基板上に形成される。

この実施例のシリアルメモリは、特に制限されないが、画像処理システム等に供され、記憶データを４ビット単位でランダムに入出力するランダムアクセスポートと、一連の記憶データをシリアルクロック信号ＳＣに従ってシリアルに出力するシリアルアクセスポートとを具備する。この実施例のシリアルメモリは、特に制限されないが、実質的にデータ線の延長方向に分割されてなる４個のメモリアレイＭＡＲＹ０～ＭＡＲＹ３と、これらのメモリアレイからワード線単位で出力される複数の記憶データに対して所定の演算処理をビットごとに施す演算回路ＡＬを基本構成とする。その結果、シリアルメモリは、例えば、メモリアレ

イMARY0～MARY3に、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等を予め書き込み、これを同時に読み出すことで、ウィンドウ等による画面の多重表示や画像合成等をその内部で実現する。

この実施例のシリアルメモリは、さらに、上記演算回路ALの演算モードを制御する演算制御回路ALCを備え、またこの演算制御回路ALCに所定の演算コード信号を入力するための演算モード設定サイクルを有する。すなわち、シリアルメモリは、特に制限されないが、ロウアドレスストローブ信号$\overline{RAS}$，カラムアドレスストローブ信号$\overline{CAS}$，ライトイネーブル信号$\overline{WE}$及びデータ転送制御信号$\overline{DT}$に加えて、演算モード設定信号$\overline{ALM}$を有し、この演算モード設定信号$\overline{ALM}$がロウアドレスストローブ信号$\overline{RAS}$に先立ってロウレベルとされることで、上記演算モード設定サイクルとされる。このとき、j＋1ビットの演算コード信号が、アドレス入力端子A0～Ajを介して入力され、相補内部アドレス信号$\underline{a}$x0～$\underline{a}$xj（ここで、例えば非反転内部アドレス信号ax0と反転内部アドレス信号$\overline{ax0}$をあわせて相補内部アドレス信号$\underline{a}$x0のように表す。以下、相補信号について同様）として、演算制御回路ALCに取り込まれる。これらの演算コード信号は、演算制御回路ALCによりデコードされた後、演算モード信号am0～amkとして、演算回路ALに供給される。

第2図において、メモリアレイMARY0～MARY3は、同図の垂直方向に配置される複数のワード線と、水平方向に配置される複数の相補データ線ならびにこれらのワード線及び相補データ線の交点に格子状に配置される複数のメモリセルとをそれぞれ含む。

メモリアレイMARY0～MARY3を構成するワード線は、対応するロウアドレスデコーダRD0～RD3に結合され、それぞれ択一的に選択状態とされる。これらのロウアドレスデコーダには、ロウアドレスバッファRABからi＋1ビットの相補内部アドレス信号$\underline{a}$x0～$\underline{a}$xiが共通に供給され、タイミング発生回路TGからタイミング信号φxが共通に供給される。

ロウアドレスデコーダRD0～RD3は、タイミング信号φxがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、各ロウアドレスデコーダは、相補内部アドレス信号$\underline{a}$x0～$\underline{a}$xiをデコードし、メモリアレイMARY0～MARY3の対応するワード線を択一的にハイレベルの選択状態とする。

ロウアドレスバッファRABは、特に制限されないが、アドレス入力端子A0～Aiを介して時分割的に供給されるXアドレス信号AX0～AXiを、タイミング発生回路TGから供給されるタイミング信号φarに従って取り込み、これを保持する。また、これらのXアドレス信号AX0～AXiをもとに、相補内部アドレス信号$\underline{a}$x0～$\underline{a}$xiを形成し、ロウアドレスデコーダRD0～RD3に供給する。特に制限されないが、シリアルメモリが演算モード設定サイクルとされるとき、下位のj＋1ビットの相補内部アドレス信号$\underline{a}$x0～$\underline{a}$xjは、演算コード信号として、演算制御回路ALCに供給される。

次に、メモリアレイMARY0～MARY3を構成する相補データ線は、その一方において、カラムスイッチCS0～CS3の対応するスイッチMOSFETに結合され、その他方において、演算回路ALの対応する単位演算回路UALに結合される。

カラムスイッチCS0～CS3は、メモリアレイMARY0～MARY3の各相補データ線に対応して設けられる複数対のスイッチMOSFETをそれぞれ含む。各対のスイッチMOSFETのゲートは、それぞれ共通結合され、カラムアドレスデコーダCADから対応するデータ線選択信号がそれぞれ供給される。

カラムスイッチCS0～CS3を構成する各対のスイッチMOSFETは、対応する上記データ線選択信号が択一的にハイレベルとされることで選択的にオン状態とされ、メモリアレイMARY

0～MARY3の対応する相補データ線と対応する相補共通データ線CDR0～CDR3とを選択的に接続する。

カラムスイッチCS0～CS3は、特に制限されないが、選択されたワード線に結合される複数のメモリセルからメモリアレイMARY0～MARY3の対応する相補データ線に出力される微小読み出し信号を、ハイレベル又はロウレベルの2値読み出し信号に増幅するための複数のセンスアンプをそれぞれ含む。

カラムアドレスデコーダCADには、特に制限されないが、カラムアドレスバッファCABからi+1ビットの相補内部アドレス信号ay0～ayiが供給され、タイミング発生回路TGからタイミング信号φyが供給される。

カラムアドレスデコーダCADは、タイミング信号φyがハイレベルとされることで、選択的に動作状態とされる。この動作状態において、カラムアドレスデコーダCADは、相補内部アドレス信号ay0～ayiをデコードし、上記データ線選択信号を択一的にハイレベルとする。

カラムアドレスバッファCABは、アドレス入力端子A0～Aiを介して時分割的に供給されるYアドレス信号AY0～AYiを、タイミング発生回路TGから供給されるタイミング信号φacに従って取り込み、これを保持する。また、これらのYアドレス信号AY0～AYiをもとに、相補内部アドレス信号ay0～ayiを形成し、カラムアドレスデコーダCADに供給する。

相補共通データ線CDR0～CDR3は、ランダム入出力回路RIOの対応する単位回路の一方の入出力端子に結合される。

ランダム入出力回路RIOは、特に制限されないが、相補共通データ線CDR0～CDR3に対応して設けられる4個の単位回路を備える。これらの単位回路の一方の入出力端子は、対応する上記相補共通データ線CDR0～CDR3に結合され、その他方の入出力端子は、対応するデータ入出力端子RIO0～RIO3に結合される。ランダム入出力回路RIOの各単位回路には、タイミング発生回路TGからタイミング信号φwr及びφorが共通に供給される。

ランダム入出力回路RIOの各単位回路は、シリアルメモリがランダム書き込みモードとされタイミング信号φwrがハイレベルとされるとき、対応するデータ入出力端子RIO0～RIO3を介して供給される書き込みデータを、所定の相補書き込み信号とし、相補共通データ線CDR0～CDR3を介して、メモリアレイMARY0～MARY3の選択された合計4個のメモリセルに供給する。また、シリアルメモリがランダム読み出しモードされタイミング信号φorがハイレベルとされるとき、メモリアレイMARY0～MARY3の選択された合計4個のメモリセルから相補共通データ線CDR0～CDR3を介して出力される読み出し信号を、対応するデータ入出力端子RIO0～RIO3を介して送出する。

一方、演算回路ALは、特に制限されないが、第1図に例示されるように、メモリアレイMARY0～MARY3の相補データ線D00～D0nないしD30～D3nに対応して設けられるn+1個の単位演算回路UALを備える。これらの単位演算回路の4組の相補演算入力端子は、メモリアレイMARY0～MARY3の対応する相補データ線D00～D30ないしD0n～D3nに結合され、その出力端子は、データレジスタDRの対応する単位回路UDRに結合される。演算回路ALの各単位演算回路UALには、演算制御回路ALCから上記演算モード信号am0～amkが共通に供給される。

演算回路ALの各単位演算回路UALは、メモリアレイMARY0～MARY3の選択されたワード線に結合されるn+1個のメモリセルから対応する相補データ線D00～D30ないしD0n～D3nを介して出力される読み出しデータに対して、演算モード信号am0～amkによって指定される所定の演算処理をビットごとに施し、その結果を、データレジスタDRの対応する単位回路UDRに出力する。前述のように、メモリアレイMARY0～MARY3には、ランダム書き

込みモードにより、例えば、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等が予め書き込まれる。演算回路ＡＬの各単位演算回路ＵＡＬは、これらのデータに所定の演算処理を施すことで、例えば、ウィンドウ等を含む多重表示画像や合成画像等に対応する画像データを形成する。演算回路ＡＬの各単位演算回路ＵＡＬの演算結果は、タイミング信号ϕｔｒがハイレベルとされることで、データレジスタＤＲの対応する単位回路ＵＤＲに取り込まれ、さらに、タイミング信号ϕｓｃが繰り返し形成されることで、データレジスタＤＲ内をシフトされ、シリアル入出力回路ＳＩＯを介して送出される。

データレジスタＤＲは、演算回路ＡＬの各単位演算回路ＵＡＬに対応して設けられるｎ＋１個の単位回路ＵＤＲを備える。これらの単位回路ＵＤＲには、タイミング発生回路ＴＧからタイミング信号ϕｔｒ及びϕｓｃが共通に供給される。

データレジスタＤＲの各単位回路ＵＤＲは、タイミング信号ϕｔｒに従って、演算回路ＡＬの対応する単位演算回路ＵＡＬの演算結果を取り込み、これを保持する。また、タイミング信号ϕｓｃに従って、これらの演算結果を順次シフトし、相補共通データ線ＣＤＳを介して、シリアル入出力回路ＳＩＯに伝達する。

シリアル入出力回路ＳＩＯは、シリアルメモリがシリアル出力モードとされタイミング信号ϕｏｓがハイレベルとされるとき、タイミング信号ϕｓｃに従って、データレジスタＤＲから相補共通データ線ＣＤＳを介して伝達される画像データ等をシリアル出力端子ＳＩＯから送出する。

タイミング発生回路ＴＧは、外部から制御信号として供給されるロウアドレスストローブ信号$\overline{ＲＡＳ}$，カラムアドレスストローブ信号$\overline{ＣＡＳ}$，ライトイネーブル信号$\overline{ＷＥ}$，データ転送制御信号$\overline{ＤＴ}$及び演算モード設定信号$\overline{ＡＬＭ}$ならびにシリアルクロック信号ＳＣをもとに、上記各種のタイミング信号を形成し、各回路に供給する。

以上のように、この実施例のシリアルメモリは、画像処理システムの画像メモリとして供され、実質的にデータ線の延長方向に分割されてなる４個のメモリアレイＭＡＲＹ０～ＭＡＲＹ３と、これらのメモリアレイからワード線単位で出力される複数の記憶データに対してビットごとに所定の演算処理を施すための演算回路ＡＬを備える。シリアルメモリは、さらに、上記演算回路ＡＬを制御する演算制御回路ＡＬＣを備え、この演算制御回路ＡＬＣに演算コード信号を入力するための演算モード設定サイクルを有する。その結果、この実施例のシリアルメモリは、例えば、メモリアレイＭＡＲＹ０～ＭＡＲＹ３に、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等を予め書き込み、これを同時に読み出すことで、ウィンドウ等による画面の多重表示や画像合成等のための各種演算処理をその内部で実現する。これにより、画像処理システムは、そのデータレートを制約されその簡素化を妨げられることなく、多機能化され、高機能化される。

以上の本実施例に示されるように、この発明を画像処理システム等に含まれるシリアルメモリ等の半導体記憶装置に適用することで、次のような作用効果が得られる。すなわち、

(1)シリアルメモリ等のメモリアレイを、実質的にそのデータ線の延長方向に分割し、これらのメモリアレイに隣接して、各メモリアレイの対応するカラムアドレスから読み出される複数の記憶データに所定の演算処理を施す演算回路を設けることで、シリアルメモリ等の内部において、複数の記憶データに対するビットごとの演算処理を実現できるという効果が得られる。

(2)上記(1)項により、例えば、各メモリアレイに、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等を予め書き込み、これを同時に読み出すことで、ウィンドウ等による画面の多重表示や画像合成等のための各種演算処理を実現できるという効果が得られる。

(3)上記(1)項及び(2)項により、画像処理システム等

のデータレートを制約しまたその簡素化を妨げることなく、その多機能化ならびに高機能化を推進できるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、第2図において、メモリアレイＭＡＲＹ０～ＭＡＲＹ３は同時にアクセスされるものとしているが、例えば、これらのメモリアレイを指定する2ビットのアドレス信号を追加することで、個別にアクセスできるようにしてもよい。また、この実施例では、メモリアレイを物理的に4分割することで、4個のメモリアレイＭＡＲＹ０～ＭＡＲＹ３を構成しているが、これらのロウ系選択回路を共有化し、1個のメモリアレイにまとめることができる。この場合、シリアルメモリが例えばランダム書き込みモードとされるとき、データ線選択信号が択一的に形成されることで4組の相補データ線が同時に選択状態とされるが、マスク機能を持たせることにより、複数の画像データやマスクデータ等を選択的に書き換えることが必要となろう。メモリアレイの実質的な分割数は、任意に設定できるし、ランダム入出力回路ＲＩＯやシリアル入出力回路ＳＩＯの同時入出力ビット数も、任意に設定できる。また、シリアル入出力回路ＳＩＯは、シリアル書き込み機能を有することもよい。データレジスタＤＲのシフト動作は、例えばポインタＰＮＴ等を設けることで、任意のカラムアドレスから開始できるようにしてもよい。さらに、第1図に示される演算回路ＡＬ及びデータレジスタＤＲの具体的なブロック構成や第2図に示されるシリアルメモリのブロック構成ならびに各制御信号やアドレス信号の組み合わせ等、種々の実施形態を採りうる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である画像処理システムのシリアルメモリに適用した場合について説明したが、それに限定されるものではなく、例えば、音声処理システム等に用いられる同様なシリアルメモリや同様なシリアル入出力機能を有する各種半導体記憶装置にも適用できる。本発明は、少なくとも複数の記憶データに対して内部演算処理を必要とする半導体記憶装置ならびにこのような半導体記憶装置を内蔵するディジタル集積回路装置に広く適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。すなわち、画像処理システムや音声処理システム等に含まれるシリアルメモリ等のメモリアレイを、実質的にそのデータ線の延長方向に分割し、これらのメモリアレイに隣接して、各メモリアレイの対応するカラムアドレスから読み出される複数の記憶データに所定の演算処理を施す演算回路を設ける。そして、例えば、各メモリアレイに、複数画面に対応する複数の画像データやこれらの画像データを組み合わせあるいは部分的に消去するためのマスクデータ等を予め書き込み、これを同時に読み出すことで、ウィンドウ等による画面の多重表示や画像合成ならびに音声合成等のための各種演算処理を、シリアルメモリ等の内部で実現できる。これにより、画像処理システムや音声合成システム等のデータレートを制約しまたその簡素化を妨げることなく、その多機能化ならびに高機能化を推進できる。

4．図面の簡単な説明

第1図は、この発明が適用されたシリアルメモリの演算回路及びデータレジスタの一実施例を示すブロック図、

第2図は、第1図の演算回路及びデータレジスタを含むシリアルメモリの一実施例を示すブロック図である。

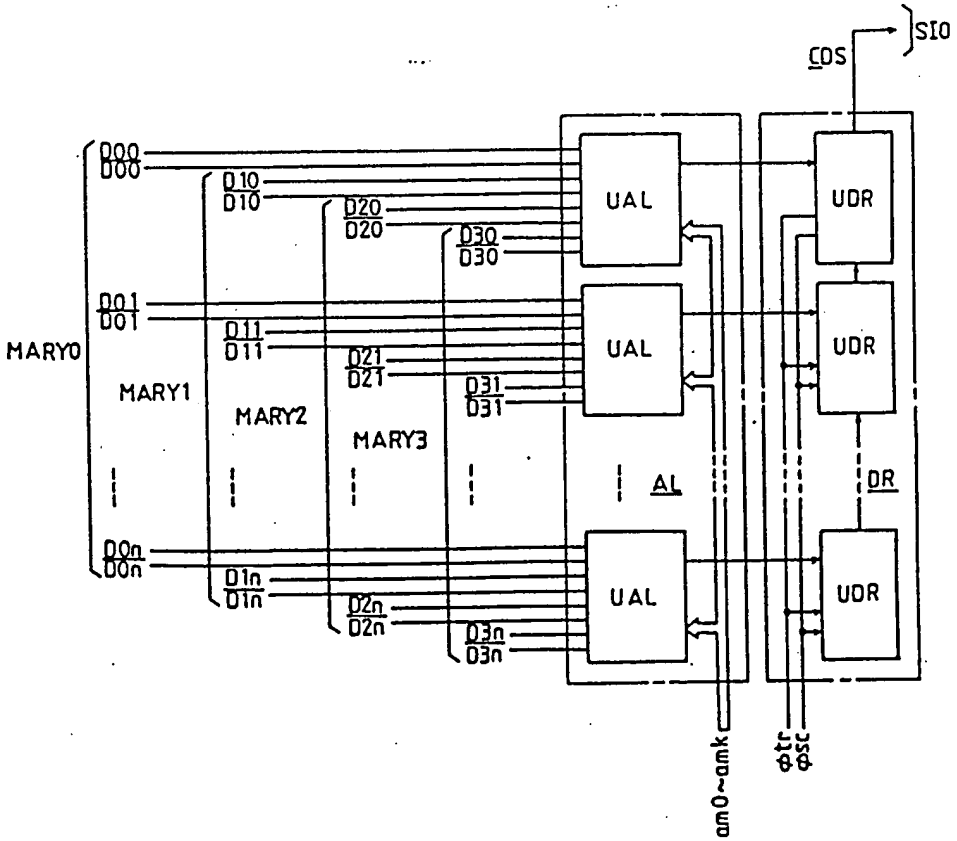
ＡＬ・・・演算回路、ＵＡＬ・・・単位演算回路、ＤＲ・・・データレジスタ、ＵＤＲ・・・データレジスタ単位回路。

ＭＡＲＹ０～ＭＡＲＹ３・・・メモリアレイ、ＣＳ０～ＣＳ３・・・カラムスイッチ、ＲＤ０～ＲＤ３・・・ロウアドレスデコーダ、ＣＡＤ・・・カラムアドレスデコーダ、ＲＡＢ・・・ロウア

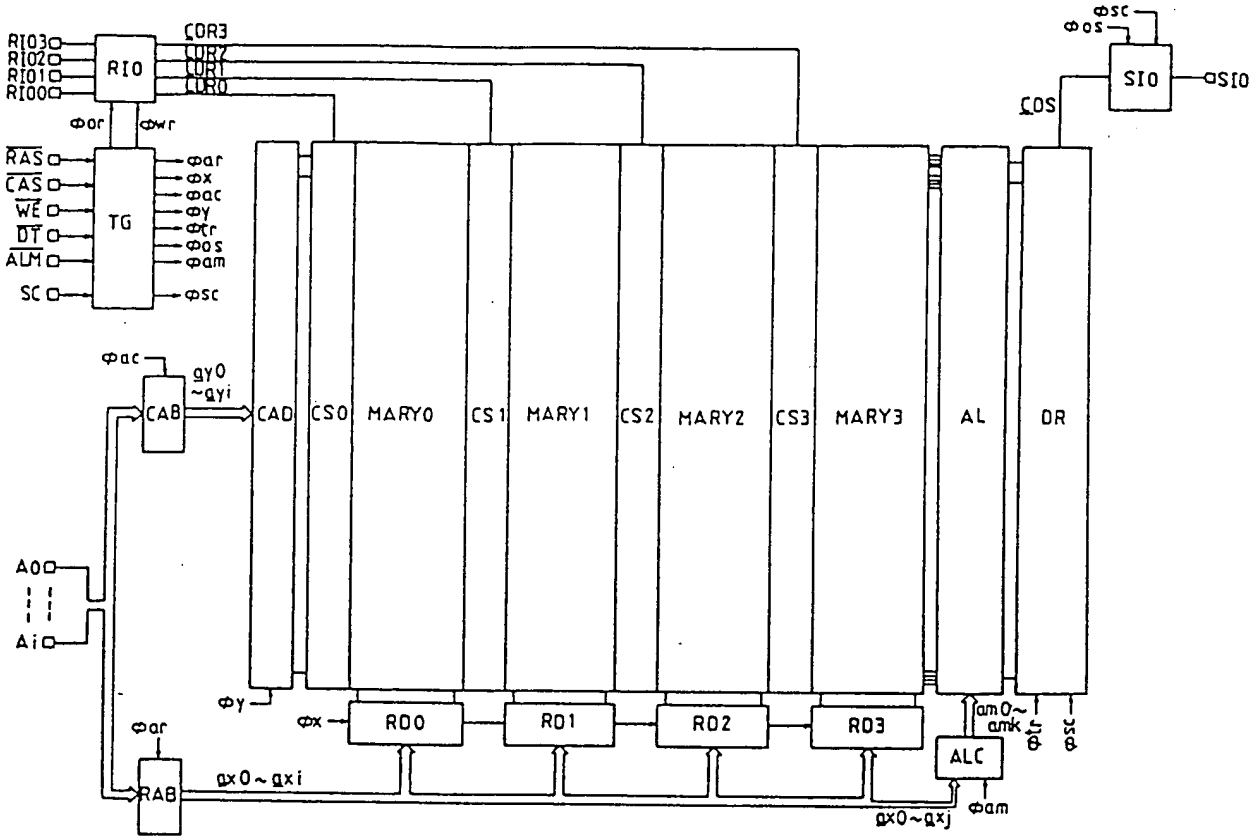
ドレスバッファ、ＣＡＢ・・・カラムアドレスバッファ、ＡＬＣ・・・演算制御回路、ＲＩＯ・・・ランダム入出力回路、ＳＩＯ・・・シリアル入出力回路、ＴＧ・・・タイミング発生回路。

代理人弁理士　小川　勝男

第 1 図



第 2 図


RI03
RI02
RI01
RI00
RIO
CDR3
CDR2
CDR1
CDR0
φor
φwr
RAS
CAS
WE
DT
ALM
SC
TG
φar
φx
φac
φy
φtr
φos
φam
φsc
SIO
CDS
φac
gY0
~gYi
CAB
CAD
CS0
MARY0
CS1
MARY1
CS2
MARY2
CS3
MARY3
AL
DR
A0
Ai
φy
φx
RD0
RD1
RD2
RD3
amO~
amk
φtr
φsc
φar
RAB
gx0~gxi
ALC
φam
gx0~gxj

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☑ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.
As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.